

Korean Patent Laid-Open No. 1999-0066804

Title: *Method and apparatus for circulating phase in phase synchronizing loop*

Abstract:

The present invention relates to a method and apparatus for circulating a phase in a phase synchronizing loop. Among a plurality of signals which are phase-shifted with respect to another signal, the another signal is used as a clock signal repeatedly in order to substitute a signal, and phase error of the clock signal with respect to a reference signal is reduced. The timing of the substitution is established to occur during a waiting period to reduce disturbance of the clock signal. Also, if a predetermined signal occurs over at least one cycle following a clock provided by a signal right before the predetermined signal, the signal substitution occurs in response and thus prevent erroneous substitution which is caused when a signal is substituted by another signal.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특1999-0066804
H04L 7/00 (43) 공개일자 1999년08월16일

(21) 출원번호	10-1998-0046780
(22) 출원일자	1998년11월02일
(30) 우선권주장	9/004,133 1998년01월07일 미국(US)
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘 미국 10504 뉴욕주 아몬크
(72) 발명자	드렙스 다니엘 마크 미국 78626 텍사스주 조지타운 벨몬트 드라이브 300 마슬레이드 로버트 폴 미국 78758 텍사스주 오스틴 둔즈베리 드라이브 1400 유히크 존 스티븐 미국 78731 텍사스주 오스틴 스피니커 코브 4203
(74) 대리인	김성기, 송병욱

심사청구 : 있음

(54) 위상 동기 루프에서 위상을 순환시키는 방법 및 장치

요약

본 발명은 위상 동기 루프에서 위상을 순환시키는 방법 및 장치에 관한 것이다. 각 신호가 다른 신호에 대해 위상 전이되는 복수의 신호 중에서, 한 신호를 대체(substitution)하기 위해 다른 신호가 클럭 신호로서 반복 사용되며, 기존 클럭에 대한 클럭 신호의 위상 오차를 감소시킨다. 이러한 대체는 대기 기간 동안 발생하도록 타이밍되며 클럭 신호에 대한 교란을 감소시킨다. 또한 소정 신호의 바로 직전 신호에 의해 공급되는 클럭에 뒤이어 상기 소정 신호가 적어도 한 사이클 이상 발생하면, 이에 응답하여 상기 신호 대체가 이루어져 한 신호가 다른 신호로 대체될 때 발생하는 대체 오류(erroneous substitution)를 방지한다.

도표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 위상 순환을 사용하는 클럭 시스템의 상위 개념의 블록도이다.
도 2는 도 1의 순환장치(rotator; 14)의 블록도이다.
도 3은 도 2의 위상 전이장치(phase shifter; 144)의 로직 요소를 도시하는 도면이다.
도 4는 도 2의 위상 선택장치(phase selector; 148)의 로직 요소를 도시하는 도면이다.
도 5는 본 발명의 실시예의 동작 특징을 도시하는 타이밍도이다.
도 6은 도 2의 리타이머(retimer; 154)의 로직 요소를 도시하는 도면이다.
도 7은 도 1의 필터(22)의 로직 요소를 도시하는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 출원은 동일 출원인 명의의 다음 특허출원과 관련되어 있으며, 상기 특허출원은 본 명세서에 참조되며 본 발명의 일부를 이룬다.

'High Speed Differential CMOS Sine-Wave Receiver with Duty Cycle Control Means' (출원일: 1997년 4월 18일, 미국 특허 출원번호: 제 844504호)

'A Clock Generation Apparatus and Method for CMOS Microprocessors Using a Differential SAW Oscillator' (출원일: 1996년 10월 31일, 미국 특허 출원번호: 제 742220호); 및

'Method and Apparatus for Coupled Phase Locked Loops' (출원일: 1998년 1월 7일, 미국 특허 출원번호: 제 09/004,136호)

본 발명은 위상 동기 루프(phase locked loop; PLL)에 관한 것이며, 더 구체적으로는 마이크로일렉트로닉 회로용 클럭과 같은 클럭을 발생하기 위해 사용되는 위상 동기 루프에서 선택적인 위상 순환에 관한 것이다.

위상 동기 루프는 마이크로프로세서를 포함하여 마이크로일렉트로닉 회로에서 사용되는 클럭과 같은 클럭 신호를 생성하기 위해 사용된다. 그러나 종래의 PLL은 노이즈에 민감하다. 더욱이 전원, 특히 마이크로 프로세서용 전원은 매우 잡음이 심하며, 이러한 잡음은 PLL의 출력 신호에서 수용할 수 없는 지터(jitter)를 발생시킨다. 이러한 지터는 마이크로프로세서에서 사용되는 다중 위상 클럭의 경우에 더 큰 문제가 된다.

발명이 이루고자하는 기술적 과제

종래의 PLL에 비해 노이즈에 덜 민감한 클럭 신호를 생성하는 방법 및 장치가 본 명세서에 참조되어 본 발명의 일부를 이루는 위에서 참조된 하나 이상의 특허출원에 개시되어 있으며, 이러한 방법 및 장치에 따르면 서로에 대하여 소정의 위상 관계를 가지는 한 세트의 신호가 생성된다. 클럭은 상기 세트의 신호 중 한 신호로부터 다른 신호로 연속적으로 스위칭(즉 '순환')되는 신호에 의해 발생되고, 이로 인해 클럭 소스 신호가 위상 순환되는 효과를 가져온다. 이러한 맥락에서 최소한 위상 동기 루프에서 신호를 선택적으로 위상 순환하는 방법 및 장치가 필요하다.

전술한 필요성은 이하에 기술되는 본 발명을 통해 충족된다. 제1 형태에서, 본 발명은 클럭 신호를 제공하는 방법을 포함한다. 클럭 신호용 제1 신호가 복수의 신호로부터 공급된다. 제1 신호가 제1 신호에 대해 위상 전이되고 복수의 신호로부터 얻어지는 제2 신호로 대체되는데, 이러한 대체는 i) 클럭 신호와 기준 클럭 신호 사이의 위상차; 및 ii) 제1 신호 및 제2 신호가 대기(quiet) 상태인 구간이 발생하면 이에 응답하여 이루어진다.

본 발명의 추가적인 특징에 있어서, 클럭 신호용으로 제1 신호를 공급한 후 제2 신호가 적어도 한 사이클 이상 발생하면, 이에 응답하여 제2 신호의 대체가 추가로 이루어진다.

본 발명의 다른 특징에 있어서, 제2 신호가 제2 신호에 대해 위상 전이되고 복수의 신호로부터 얻어지는 제3 신호로 대체되는데, 이러한 대체는 i) 클럭 신호와 기준 클럭 신호 사이의 위상차; 및 ii) 제2 신호 및 제3 신호가 대기 상태인 구간이 발생하면 이에 응답하여 이루어진다.

본 발명의 또 다른 특징에 있어서, 제1 신호가 제2 신호로 대체된 후에 제3 신호가 적어도 한 사이클 이상 발생하면 이에 응답하여 제3 신호의 대체가 추가로 이루어진다.

제2 형태에서, 본 발명은 클럭 신호를 공급하는 장치를 포함한다. 본 발명의 장치는 복수의 신호 중에서 클럭 신호용 제1 신호를 공급하는 수단; 및 i) 클럭 신호와 기준 클럭 신호 사이의 위상차; 및 ii) 제1 신호 및 제2 신호가 대기 상태인 구간이 발생하면 이에 응답하여, 제1 신호를 위상 전이되고 복수의 신호로부터 얻어지는 제2 신호로 대체하는 수단을 포함한다.

본 발명의 다른 특징에 있어서, 상기 대체 수단은 클럭 신호용으로 제1 신호가 공급된 후에 제2 신호가 적어도 한 사이클 이상 발생하면 이에 추가로 응답한다.

본 발명의 또 다른 특징에 있어서, 본 발명의 장치는 i) 클럭 신호와 기준 클럭 신호 사이의 위상차; 및 ii) 제2 신호 및 제3 신호가 대기 상태인 구간이 발생하면 이에 응답하여, 제2 신호를 제2 신호에 대해 위상 전이되고 복수의 신호로부터 얻어지는 제3 신호로 대체하는 수단을 포함한다.

본 발명의 추가적인 특징에 있어서, 상기 제3 신호 대체 수단은 제1 신호를 제2 신호를 대체한 후에 제3 신호가 적어도 한 사이클 이상 발생하면 이에 응답한다.

본 발명의 장점은 하나의 신호를 위상 전이된 다른 신호로 대체함으로써 기준 클럭에 대한 클럭 신호의 위상 오차를 감소시키고, 전술한 대기 구간이 발생되면 이러한 대체가 발생하도록 조절함으로써 하나의 신호를 다른 신호로 대체하는 경우에 발생하는 클럭 신호에 대한 교란을 감소시킨다는 것이다. 또한 소정 신호의 바로 직전 신호에 의해 공급되는 클럭에 뒤이어 상기 소정 신호가 적어도 한 사이클 이상 발생하면, 이에 응답하여 상기 신호 대체가 이루어져 한 신호가 다른 신호로 대체될 때 발생하는 대체 오류를 방지한다.

발명의 구성 및 작용

도 1에 본 발명의 바람직한 실시예가 도시되어 있다. 클럭 시스템(10)은 외부적으로 발생된 기준 클럭 신호(21)를 수신하고, 순환장치(14)를 통해 출력되는, 비교적 주파수가 높은 제1 클럭 신호를 생성하고, 제1 클럭 신호를 기준 클럭과 위상 동기한다.

도 1의 예에서의 기준 클럭은 200 MHz 신호이다. 제1 클럭은 상대적으로 매우 높은 800.4 MHz 주파수에서 신호 발생장치(12), 바람직하게는 표면 탄성파(surface acoustic wave; SAW) 발전기에 의해 생성된 신호로부터 유도된다. 도시된 실시예의 순환장치(14)는 SAW 발전기(12)로부터의 800.4 MHz 신호보다 각각 0도, 90도, 180도 및 270도 지연되며, 순환장치(14)에 내재하는 4개의 소스 신호 중에서 선택된 하나의 400.2 MHz 신호를 제1 클럭으로 출력한다. 제1 클럭 신호는 볼록(16)에 의해 도시된 바와 같이 부하로 분배된다.

또한 제1 클럭 신호는 분주기(divider; 18)에 의해 그 주파수가 감소(감소된 제1 클럭 신호 주파수는 '피

드백 클럭' 신호로 표시됨)되며, 위상 검출장치(20) 및 디지털 필터(22)로 입력된다. 본 실시예에서 분주기(18)는 2로 분주한다.

위상 검출장치(20)는 기준 클럭 신호와 제1 클럭을 비교하고, 위상차를 표시하는 하나 이상의 신호를 생성한다. 이러한 위상 검출장치(20)는 공지되어 있으며, 따라서 본 명세서에서는 여기에 대하여 상세하게 기술하지 않는다. 예를 들어 Wyatt 등에게 부여된 미국 특허번호 제 5,546,052호 'Phase Detector with No Phase Error'를 참조할 수 있다.

상기 위상차의 표시는 디지털 필터(22)를 통해 순환장치(14)로 피드백된다.

전술한 내용으로부터, SAW 발진기(12)의 800.4 MHz의 주파수가 순환장치(14) 및 분주기(18)에서 2로 분주되기 때문에, 피드백 클럭의 주파수는 200.1 MHz이 된다는 것을 이해해야 한다. 따라서 피드백 클럭 및 피드백 클럭에 대한 소스인 제1 클럭 양자는 기준 클럭에 비해 일정한 지연 위상차만큼 빨라진다. 그러므로 순환장치(14)는 피드백 클럭(및 그에 따른 제1 클럭)을 기준 클럭과 위상 동기화하기 위해, 소스 신호 중 하나의 신호로부터 한 소스 신호만큼 지연된 다른 신호까지 제1 클럭 신호용으로 선택된 소스를 연속적으로 변화시킴으로써 제1 클럭 신호를 규칙적으로 조정해야 한다.

도 2를 참조하여 도 1의 순환장치(14)의 로직 요소에 대하여 서술한다.

차동 발진기(12)의 신호는 적절한 차동 수신기 부하단(負荷段; load stage) 측에 바이어스를 인가하여 입력 불균형을 보상하는 차동 수신기/듀티 사이클 조정장치(differential receiver/duty cycle adjuster; 142)의 순환장치(14)에 의해 수신된다. 이러한 차동 수신기/듀티 사이클 조정장치(142)에 대한 상세한 설명은 위에서 참조된 하나 이상의 관련 특허출원에 개시되어 있으며, 따라서 본 명세서에서는 이에 대한 설명을 생략한다.

그리고 나서 장치(142)에 의해 수정된 발진기(12)의 신호는 발진기(12) 신호의 1/2 주파수를 가지는 A, B, C, 및 D로 구성된 한 세트의 신호를 생성하는 위상 전이장치(144)에 공급되며, 여기서 신호 B는 신호 A에 대해 90도 지연되며, 신호 C는 신호 B에 대해 90도 지연되며, 신호 D는 신호 C에 대해 90도 지연된다(위에서 참조된 하나 이상의 특허출원에서 위상 전이장치(144)는 순환장치(14) 내의 부품이지만 '순환장치'로 표시되어 있음).

이들 4개의 직교(quadrature) 신호 A, B, C, 및 D는 위상 선택장치(148) 및 멀티플렉서(146)로 공급된다.(위에서 참조된 관련 특허출원에서는 위상 선택장치가 '전이 로직'으로 표시되어 있음). 위상 선택장치(148)는 클럭 신호용 소스로서 순환장치(14)로부터 출력되는 4개의 신호 A, B, C, 및 D 중에서 하나의 신호를 연속적으로 선택한다. 이러한 선택은 위상 선택장치(148)로부터 멀티플렉서(146)로 연결되는 출력선 q0, q1, q2 또는 q3 중의 하나의 출력선 상에 하나의 신호를 인가(assert)함으로써 행해진다. 멀티플렉서는 자신에게 입력되는 다수의 신호 중에서 선택된 신호를 출력하는 멀티플렉서에 대한 기술은 이미 공지되어 있기 때문에, 본 명세서에서는 이에 대한 설명을 생략한다.

멀티플렉서(146)로부터 선택적으로 출력된 신호는 스큐를 감소시키기 위해 리타이밍이 필요한지의 여부에 따라 클럭 신호로서 직접 출력되거나, 선택적으로 제공되는 리타이머(154)에 의해 먼저 리타이밍(retiming)된다.

도 3을 참조하여, 위상 전이장치(144)에 대하여 추가적으로 상세하게 설명한다. 위상 전이장치(144)는 5개의 지연 플립플롭(164, 166, 168, 170 및 172)을 가진다. 플립플롭(164)의 NOT 출력은 그 자신의 로직 입력으로 피드백되며 플립플롭(166)의 로직 입력으로 공급된다. 플립플롭(166)의 출력은 플립플롭(168)의 입력으로 공급된다. 플립플롭(168)의 출력은 플립플롭(170)의 입력으로 공급된다. 플립플롭(170)의 출력은 플립플롭(172)의 입력으로 공급된다. 플립플롭의 클럭 입력은 듀티 사이클이 조정된 발진기 신호를 각각 수신한다.

플립플롭(164)은 자신의 NOT 출력을 자신의 입력으로 피드백함으로써 발진기(12)의 입력 신호의 주파수를 2로 분주한다. 대안적으로, 제1 클럭이 발진기(12)의 신호와 동일한 주파수를 가지기를 원하는 경우에는 플립플롭(164)을 생략할 수 있다는 점을 이해할 수 있다. 입력이 플립플롭(166-172)을 출력에 연속적으로 연결되기 때문에, 플립플롭(166)의 출력 A는 플립플롭(168)의 출력 B보다 90도 빠르다. 마찬가지로, 출력 B는 플립플롭(170)의 출력 C보다 빠르며, 이러한 과정은 계속하여 이어진다. 종래 기술의 PLL과 비교하여 클럭 소스가 사분 신호 중에서 순환하는 본 실시예에서는 클럭 지터의 문제점이 상당히 개선된다는 것을 이해해야 한다. 또한 본 실시예의 4개 신호보다 큰 소정의 개수의 신호를 생성하기 위해 위상 전이장치(144)에 추가 요소를 포함시킴으로써 구성이 추가로 복잡해지는 대신 기준 클럭 및 피드백 클럭 사이의 위상 오차를 더욱 감소시킬 수 있다.

도 4를 참조하여 위상 선택장치(148)에 대하여 추가적으로 상세하게 설명한다. 지연 플립플롭(174, 176, 178 및 180)은 클럭이 입력되면 위상 전이장치(144)로부터 신호 B, C, D 및 A를 각각 수신한다. 또한 이들 플립플롭은 각각의 지연 플립플롭(194, 196, 198 및 200)으로부터의 출력을 로직 입력으로 수신한다. 지연 플립플롭(174-180)으로부터의 출력은 각각의 AND 게이트(182, 184, 186 및 188)로 공급된다. 또한 AND 게이트는 그 입력으로 위상 전이장치(144)의 신호를 수신하는데, AND 게이트(182)에 대해서는 신호 C와 신호 D를, AND 게이트(184)에 대해서는 신호 D와 신호 A를, AND 게이트(186)에 대해서는 신호 A와 신호 B를, AND 게이트(188)에 대해서는 신호 B와 신호 C를 수신한다. AND 게이트로부터의 출력은 OR 게이트(190)로 입력된다. OR 게이트(190)의 출력은 AND 게이트(192)로 공급되며, AND 게이트(192)는 또한 원샷(single shot; 152) 신호로부터 입력을 수신한다.

원 샷 신호는 필터(22)로부터의 신호에 의해 트리거되는데, 이것은 기준 클럭과 피드백 클럭 사이의 위상차가 원 샷 신호의 보정을 요구할 정도로 충분히 큰 경우를, 즉 피드백 클럭이 소정의 양('임계'량)만큼 기준 클럭을 앞서는 것을 나타낸다.

AND 게이트(192)의 출력은 지연 플립플롭(194, 196, 198, 및 200)의 클럭 입력으로 공급된다. 플립플롭(194-200)의 출력 q0, q1, q2, 및 q3은 플립플롭(174-180)으로 피드백되는 것 이외에도 위상 전

미장치(144)로부터의 신호 A, B, C 또는 D 중에서 한 신호를 선택하는 멀티플렉서(146)로 공급된다.

플립플롭(194-200)의 출력 q0-q3은 리셋 라인(도시되지 않음)에 의해 q0은 1로 그리고 q1, q2 및 q3은 0으로 초기화된다. 따라서 플립플롭(194-200)이 상술한 바와 같이 연결되면 플립플롭 클록 입력으로 입력되는 신호가 펄스를 발생시킬 때마다, 순차적으로 다음번 출력이 하이(high)가 되고, 이전의 하이 출력은 로우(low)가 되고, 나머지 출력은 로우 상태로 유지된다. 즉, 제1 펄스 초기화 후에, q1은 하이이 되고 q0은 로우가 되고 q2와 q3은 로우 상태로 유지된다. 다음번 펄스가 인가된 후에는, q2가 하이이 되고 q1이 로우가 되고, q0 및 q3은 로우 상태로 유지되며 이러한 과정은 계속하여 이어진다. 순차적으로 한번에 하나의 하이 출력을 스위칭하는 이러한 과정을 '순환(rotation)'으로 표시하기도 한다.

플립플롭(174-180), AND 게이트(182-188), OR 게이트(190) 및 AND 게이트(192)가 순환 타이밍이 선택된 사이클의 기간(span) 내에서 이루어지도록 제어하기 때문에, 출력 q0-q3은 선택된 사이클의 '최종 1/4 구간(last quarter)' 동안 순환한다. 이러한 맥락에서 신호가 하이일 때 한 신호의 사이클이 개시되는 것으로 간주되기 때문에, 신호 사이클의 '최종 1/4 구간'은 신호가 해당 신호의 다음번 상승 에지 바로 앞의 위치에 해당되는 로우(즉, 대기 상태)인 사이클의 1/4 구간을 의미한다. 즉, 본 실시예에 따라, 위상 전이장치(144)로부터의 신호 A가 클록 소스로 선택되면, 신호 A에서 신호 B로 순환하는 타이밍은 신호 A 사이클의 최종 1/4 구간에서 발생하도록 제어된다. 신호 A에서 신호 B로 순환하는 타이밍이 신호 A의 최종 1/4 구간에서 발생하는 이유는, 신호 B가 신호 A에 비해 90도 늦으므로, 신호 A 사이클의 최종 1/4 구간 동안 신호 A 및 신호 B가 모두 로우(즉, 대기 상태)가 되기 때문이다. 이와 마찬가지로 신호 B가 클록 소스로 선택되는 경우, 신호 B에서 신호 C로 순환하는 타이밍은 신호 B의 최종 1/4 구간에서 발생하도록 제어되며, 이러한 과정은 계속하여 이어진다.

선택된 사이클 기간 내에서 순환하는 타이밍을 제어하기 위한 플립플롭(174-180), AND 게이트(182-188), OR 게이트(190) 및 AND 게이트(192)의 동작은 도 4에 도시된 신호의 특정 로직 결합 및 도 5에 도시된 신호의 타이밍을 고려함으로써 이해될 수 있다. 예를 들어 신호 C로부터 신호 D로 순환하는 타이밍을 고려하기로 한다. 도 5에서, 원 샷 신호가 세 번째 인가되기 전에 신호 C가 클록 소스용 멀티플렉서(146)의 출력 신호가 된다. 원 샷(154) 신호를 트리거하는 디지털 필터(22)로부터의 신호는 위상 검출장치(20)에 의해 검출된 위상차에 응답한다. 따라서 도 5에서, 원 샷 신호가 세 번째 인가된다는 것은 기준 클록 및 신호 C를 클록 소스로 선택한 클록 사이의 위상차가 소정의 임계 위상 오차를 초과하였기 때문에 위상 오차를 감소시키기 위해 신호 D로의 순환이 필요하다는 것을 표시한다.

바람직한 한 실시예에서, 원 샷(154) 신호는 규칙적인 간격으로 인가된다. 이들 간격이 규칙성을 갖는 것은 전술한 바와 같이 기준 클록에 대해 사분 신호가 실질적으로 고정된 주파수 차를 갖기 때문이다.

순환이 요구되기는 하지만, 원 샷 신호의 인가에 의해 표시되는 바와 같이 최종 클록 신호의 글리치(glitch)를 피하도록 순환을 타이밍해야 한다. 도 5에서, 원 샷 신호가 세 번째 인가되는 순간, 신호 C는 로우로 떨어지지만 신호 D는 여전히 인가된다. 그러므로 이 순간의 순환은 신호 C와 신호 D가 모두인 시간과 일치하지 않으며, 따라서 이러한 순환은 클록 신호에 교란을 유도한다. 따라서 도 4의 위상 선택장치(148)는 하나의 원 샷 신호뿐만 아니라 클록의 상태에 응답하여 순환 타이밍을 선택하는 로직을 포함한다. 플립플롭(174-180), AND 게이트(182-188) 및 OR 게이트(190)는 지금부터 설명하는 바와 같이 클록 상태에 응답하는 순환 타이밍을 위한 로직을 제공한다. 신호 C로부터 신호 D로의 순환을 요구하는 원 샷 신호 바로 직전에, 선택 신호 q2가 인가되고 신호 q0, q1, 및 q3은 인가되지 않는다. 멀티플렉서(146)가 클록 소스용으로 신호 C를 선택하는 것을 제어하는 것이 신호 q2이므로 이것은 논리적으로 이해될 수 있다. 신호 q2의 인가 및 이에 수반되는 신호 D의 인가에 응답하여, 플립플롭(178)은 AND 게이트(186)의 입력이 되는 출력을 인가한다. 원 샷 신호는 한 사이클 동안 인가된다. 각각 신호 B, C, D, 및 A를 입력으로 수신하는 플립플롭(174-180)에 의해 도입된 지연에 한 사이클동안 인가되는 원 샷 신호를 더하면, 이들의 결합에 의해, 단일 순환만을 발생시키도록 의도된 원 샷 신호에 응답하여 사분 신호의 제2 순환에 오류가 발생하는 것을 방지한다.

플립플롭(178)의 출력이 인가되는 순간에는 적어도 한 사이클 동안 신호 q0, q1 및 q3이 인가되지 않기 때문에, 다른 모든 플립플롭(174, 176 또는 180)의 출력은 인가되지 않는다. 따라서 신호 q2가 인가되는 동안 AND 게이트(182-188) 중에서 단지 AND 게이트(186)만이 출력 신호를 인가할 수 있다. 신호 q2 이외에도, 다른 2개의 신호 A와 신호 B가 AND 게이트(186)에 입력된다. 사분 신호의 위상 관계 때문에, 신호 A와 신호 B는 신호 C 사이클의 최종 1/4 동안에만 동시에 인가된다. 따라서 플립플롭(178)에 의해 제어되는 바와 같이 신호를 적당하게 지연시켜 잘못된 이중 순환을 방지하는 경우, 및 신호 A 및 신호 B로 표시되는 바와 같이 신호 C가 자신의 한 사이클 중 최종 1/4 구간 내에 있는 경우에만 AND 게이트(186)의 조건이 만족된다.

AND 게이트(186)의 조건이 만족되어 자신의 출력을 인가하면, OR 게이트(190)는 이에 응답하여 자신의 출력을 인가한다. 함께 인가되는 OR 게이트(190)로부터의 출력 및 원 샷(154)의 신호에 응답하여 AND 게이트(192)는 자신의 출력을 인가하고, AND 게이트(192)의 출력은 플립플롭(200)을 트리거하여 출력 q3을 인가하고, 플립플롭(198)을 트리거하여 출력 q2를 인가해제(de-assert)한다. 인가되는 q3 신호에 응답하여, 멀티플렉서(146)는 클록 소스 신호를 발생하기 위해 신호 C로부터 신호 D로 스위칭한다.

신호 C에서 신호 D로의 순환에 대한 상세한 설명은 플립플롭(174-180), AND 게이트(182-188), OR 게이트(190) 및 AND 게이트(192)가 위상 전이장치(144)와 협력하여 선택된 사이클 기간 내에서 순환하는 타이밍을 제어하는 방법을 나타낸다. 상기와 마찬가지로 상기 실시예 및 도면을 통해 신호 A에서 신호 B로, 신호 B에서 신호 C로, 신호 D에서 신호 A로 순환하는 타이밍이 제어되는 방법을 이해할 수 있다.

도 6을 참조하여 리타이머(154)에 대하여 추가적으로 상세하게 설명한다. (용어 '리타이머'는 멀티플렉서(146)에 의해 출력되는 클록 신호의 작은 스큐(skew)를 감소시키는 기능을 표시하기 위해 사용되며, 상기 스큐는 순환장치(14)의 여러 가지 회로 소자에 의한 정상적인 게이팅 과정에서 도입될 수 있다). 멀티플렉서(146)로부터의 선택된 제1 클록 소스용 신호는 지연 플립플롭(72, 74)의 지연 입력으로 입력된다. 멀티플렉서(146)로부터 출력된 클록 신호의 2배의 주파수를 가지는, 발진기(12)로부터의 한 신호는 플립플롭(72)의 클록 입력으로 공급되며, 제1 신호에 대해 180도의 위상차를 가지는 발진기(12)의 다른

신호는 플립플롭(74)의 클럭 입력으로 공급된다. 위상 선택장치(146)로부터의 q0 및 q2 신호가 클럭 신호로 사용하기 위해 플립플롭(72) 또는 플립플롭(74)으로부터의 출력 중 어느 하나를 선택하는데 사용된다. 즉, q0 및 q3이 NOR 게이트(82)에 입력되고 상기 NOR 게이트의 출력이 멀티플렉서(80)로 공급되기 때문에, q0 또는 q3이 인가되면 멀티플렉서(80)에 의해 플립플롭(74)의 출력이 출력되고 q0과 q3이 어느 하나도 인가되지 않으면 멀티플렉서(80)에 의해 플립플롭(72)의 출력이 출력된다.

여러 가지 신호의 이상화된 타이밍을 나타내는 도 5의 타이밍도를 참조하여 리타이머(154)의 구성에 대한 배경을 이해할 수 있다. 도 5를 통해, 타이밍도의 맨 아래에 도시된 바와 같이 멀티플렉서(146)의 출력 신호가 위상 전이장치(144)로부터의 신호 A 및 신호 C에 의해 공급될 때, 멀티플렉서(146)에 의해 출력되는 펄스의 중간 지점은 타이밍도의 최상부에 도시된 발진기(12)의 상승 신호의 하강 에지와 일치하는 것이 이상적이라는 것을 알 수 있다. 이와 마찬가지로 멀티플렉서(146)의 출력 신호가 위상 전이장치(144)로부터의 신호 B 및 신호 D에 의해 공급될 때, 멀티플렉서(146)에 의해 출력되는 펄스의 중간 지점은 발진기(12) 신호의 상승 에지와 일치한다. 그러므로 지연 플립플롭에 의한 멀티플렉서(146)의 출력 신호의 리타이머는 멀티플렉서(146)의 출력이 신호 A 및 신호 C에 의해 공급되는 경우에는 발진기(12) 신호의 하강 에지에 의해 클럭되어야 하고, 멀티플렉서의 출력이 신호 B 및 신호 D에 의해 공급되는 경우에는 발진기(12)의 신호의 상승 에지에 의해 클럭되어야 한다.

또한 신호 q0이 인가되면, 신호 A가 멀티플렉서(146)에 의해 출력된다. 신호 q2가 인가되면 신호 C가 멀티플렉서(146)에 의해 출력된다. 따라서 신호 q0 및 q2 모두가 인가되지 않는 경우에는 신호 B 또는 신호 D가 출력된다. 그러므로 도시된 바와 같이 리타이머(154)에서 신호 q0 및 q2를 사용하여, 멀티플렉서가 플립플롭(72, 74)으로부터의 출력 신호를 선택하는 것을 제어한다.

도 7에 도시된 구성을 참조하여 디지털 필터(22)에 대하여 추가적으로 상세하게 설명한다. 본 실시예가 발진기(12)를 제외한 도 1의 클럭 발생 시스템을 마이크로프로세서와 동일한 다이(die) 상에서 포함할 수 있다는 것을 이해해야 한다. 필터(22)에 대하여 설명하면, 다이를 제조한 후에, 레지스터(52)가 제공되어 제어 회로(도시되지 않음)에 의해 레지스터 상에서 비트를 설정한다. 그리하여 인가된 레지스터(52)의 비트의 수는 필터(22)의 튜닝을 결정하는데, 이에 대해서는 아래에서 설명한다.

시프트 레지스터(54)는 일정하게 인가된 데이터 입력(도시되지 않음)을 가진다. 도 1의 위상 검출장치(20)에 의해 피드백 클럭이 기준 클럭을 앞선다는 것이 검출되면, 위상 검출장치(20)는 시프트 레지스터(54)에 신호를 인가한다. 시프트 레지스터(54)는 모든 비트를 리셋하여 초기화된다. 인가된 위상 검출장치(20)의 신호를 갖는 피드백 클럭의 각 사이클에 대하여, 시프트 레지스터(54)는 일정하게 인가된 입력 데이터 비트를 시프트시킨다. 그리하여 피드백 클럭이 기준 클럭을 앞서고 시간이 경과하면, 시프트 레지스터(54)는 증가하는 인가된 비트의 수를 누적한다.

시프트 레지스터(54) 및 조정가능 비트 레지스터(52)와 결합된 N 검출장치(56)는 시프트 레지스터(54) 및 조정가능 비트 레지스터(52)에 인가된 비트의 수를 검출한다. 시프트 레지스터(54)에 인가된 비트의 수가 조정가능 비트 레지스터(52)에 인가된 수를 초과하는 경우, N 검출장치(56)는 플립플롭(58)과 결합된 신호를 인가한다. 피드백 클럭의 한 사이클이 지나면, 플립플롭(58)은 인가되고 있는 N 검출장치(56)로부터의 신호에 응답하여 출력 신호를 인가한다. 플립플롭(58)의 출력 신호는 시프트 레지스터(54)로 피드백되어 모든 비트를 리셋한다. 그리하여 N 검출장치(56)의 출력 신호가 리셋되고, 피드백 클럭의 하나의 추가 사이클에서 플립플롭(58)의 출력이 리셋된다.

또한 플립플롭(58)의 출력 신호는 도 4에 도시된 위상 검출장치(148)의 원 샷 신호에 공급된다. 따라서 피드백 클럭의 단일 사이클 동안 플립플롭(58)의 출력 신호가 인가되면, 위상 검출장치(148)의 원 샷을 트리거하여 순환장치(14)가 순환을 초기화한다.

바람직한 실시예를 참조하여 본 발명의 방법 및 장치에 대하여 개시하였다. 본 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 교시 내용의 일부를 이루는 다른 여러 가지 실시예를 구현할 수 있다. 따라서 본 발명은 본 명세서에 기술된 구체적인 형태에만 제한되지 않는다. 오히려 본 발명은 첨부된 특허 청구범위에 나타나 있는 본 발명의 정신과 범위 내에 합리적으로 포함될 수 있는 본 발명 교시 내용에 대한 대안, 수정, 및 균등물을 포괄할 수 있다.

발명의 효과

본 발명의 장점은 하나의 신호를 위상 전이된 다른 신호로 대체함으로써 기준 클럭에 대한 클럭 신호의 위상 오차를 감소시키고, 전술한 대기 구간이 발생되면 이러한 대체가 발생하도록 조절함으로써 하나의 신호를 다른 신호로 대체하는 경우에 발생하는 클럭 신호에 대한 교란을 감소시킨다는 것이다. 또한 소정 신호의 바로 직전 신호에 의해 공급되는 클럭에 뒤이어 상기 소정 신호가 적어도 한 사이클 이상 발생하면, 이에 응답하여 상기 신호 대체가 이루어져 한 신호가 다른 신호로 대체될 때 발생하는 대체 오류를 방지한다.

(5) 청구의 범위

청구항 1. 클럭 신호를 공급하는 방법에 있어서,

- a) 복수의 신호로부터 얻어지는 클럭 신호용 제1 신호를 공급하는 단계; 및
- b) 클럭 신호와 기준 클럭 사이의 위상차를 감소시키기 위해, 상기 제1 신호

를 제1 신호에 대해 위상 전이되고 상기 복수의 신호로부터 얻어지는 제2 신호로 대체(substitution)-여기서 대체는 상기 제1 신호 및 제2 신호가 대기 상태인 구간이 발생하면 이에 응답하여 이루어짐-하는 단계

를 포함하는 클럭 신호 공급 방법.

청구항 2. 제1항에 있어서,

상기 대체가 상기 a)단계 이후에 상기 제2 신호가 적어도 한 사이클 이상 발생하면 여기에도 응답하여 이루어지는 클록 신호 공급 방법.

청구항 3. 제1항에 있어서,

상기 제2 신호를 제2 신호에 대해 위상 전이되고 상기 복수의 신호로부터 얻어지는 제3 신호로 대체(substitution)-여기서 대체는 상기 제2 신호 및 제3 신호가 대기 상태인 구간이 발생하면 이에 응답하여 이루어짐-하는 단계를 추가로 포함하는 클록 신호 공급 방법.

청구항 4. 제3항에 있어서,

상기 제3 신호로의 대체가 상기 제1 신호를 상기 제2 신호로 대체한 후, 상기 제3 신호가 적어도 한 사이클 이상 발생하면 여기에도 응답하여 이루어지는 클록 신호 공급 방법.

청구항 5. 클록 신호를 공급하는 장치에 있어서,

a) 복수의 신호로부터 얻어지는 클록 신호용 제1 신호를 공급하는 수단; 및

b) 클록 신호와 기준 클록 사이의 위상차를 감소시키기 위해, 상기 제1 신호를 상기 제1 신호에 대해 위상 전이되고 상기 복수의 신호로부터 얻어지는

제2 신호로 대체(substitution)하는 수단-여기서 대체 수단은 상기 제1 신호 및 제2 신호가 대기 상태인 구간이 발생하면 이에 응답함-

을 포함하는 클록 신호 공급 장치.

청구항 6. 제5항에 있어서,

상기 대체 수단이 클록 신호용 제1 신호를 공급한 후에 상기 제2 신호가 적어도 한 사이클 이상 발생하면 여기에도 응답하는 클록 신호 공급 장치.

청구항 7. 제5항에 있어서,

상기 제2 신호를 상기 제2 신호에 대해 위상 전이되고 상기 복수의 신호로부터 얻어지는 제3 신호로 대체(substitution)하는 수단-여기서 대체 수단은 상기 제2 신호 및 제3 신호가 대기 상태인 구간이 발생하면 이에 응답함-

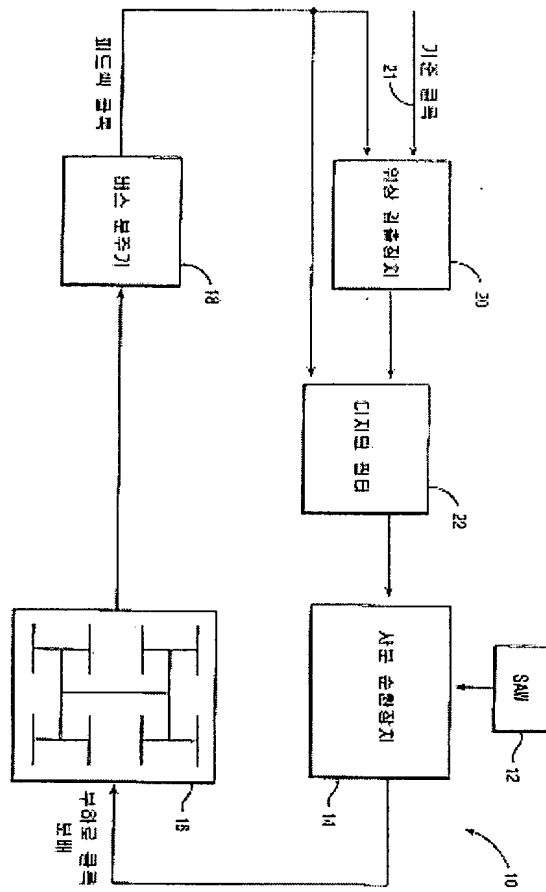
을 추가로 포함하는 클록 신호 공급 장치.

청구항 8. 제7항에 있어서,

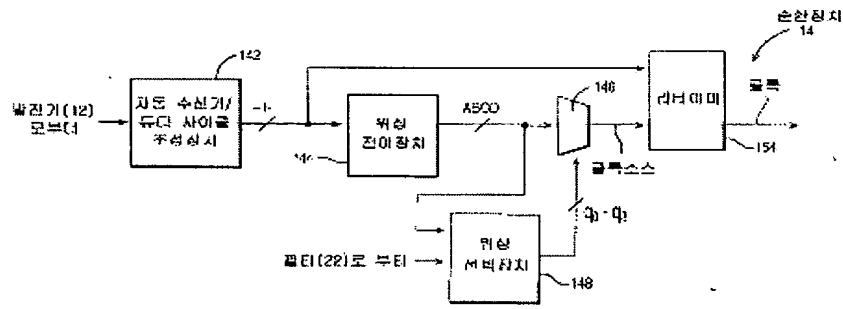
상기 제3 신호로의 대체 수단이 상기 제1 신호를 제2 신호로 대체한 후, 상기 제3 신호가 적어도 한 사이클 이상 발생하면 여기에도 응답하는 클록 신호 공급 장치.

도면

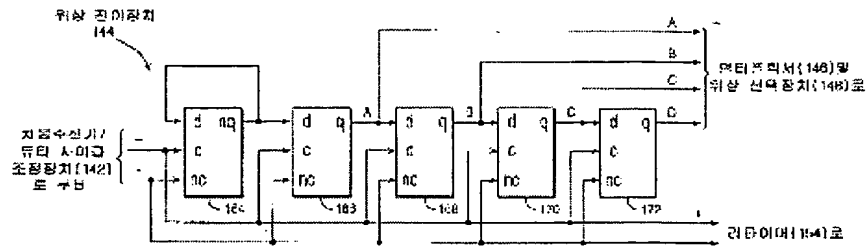
도면1



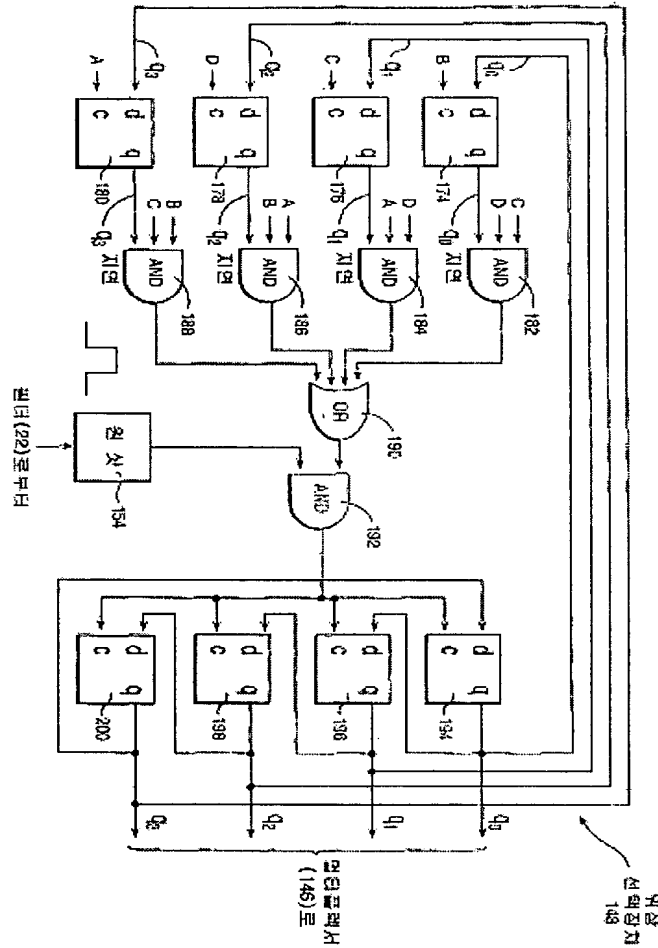
도면2



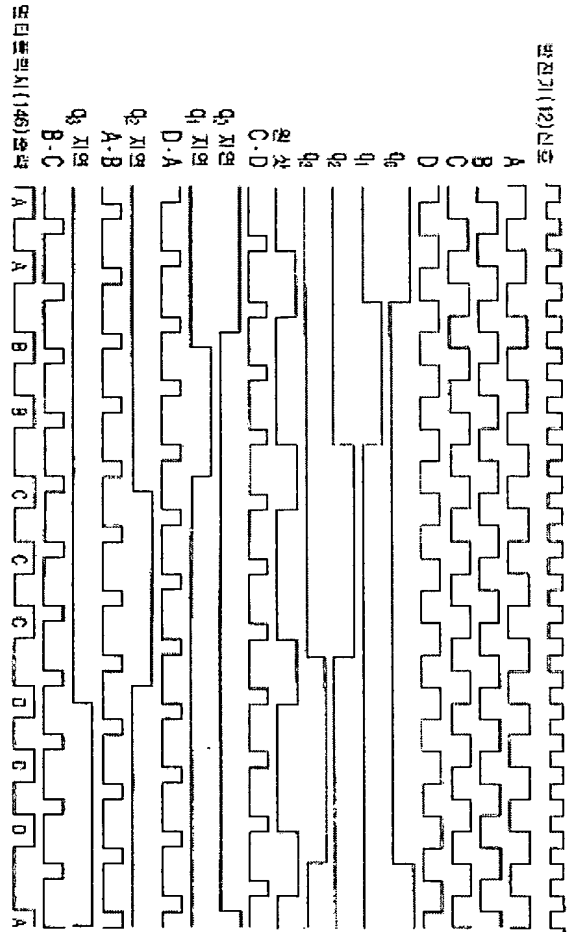
도 3



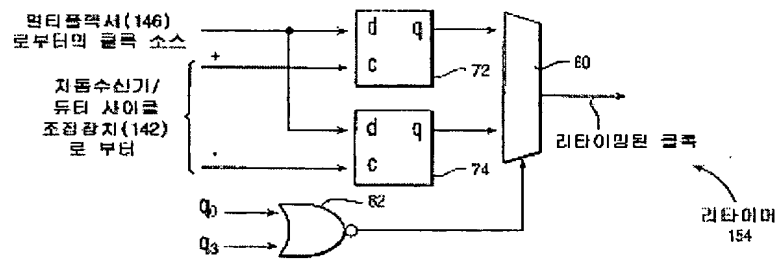
도 4



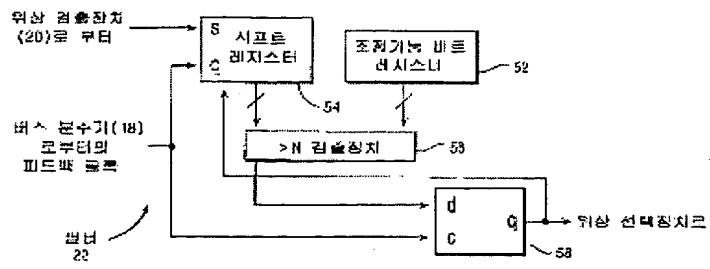
도 15



도 16



도면7



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.